| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |
| --- | --- |

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**ОТЧЕТ**

| **По лабораторной работе №** | 4 |
| --- | --- |

**Название:** Исследование мультиплексоров

**Дисциплина:** Архитектура ЭВМ

| Студент | ИУ7-43Б |  |  | Г. М. Кишов |
| --- | --- | --- | --- | --- |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
| Преподаватель |  |  |  | А. Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

# Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

# Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

а) на информационные входы D0 …D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая);

б) на адресные входы А2, А1, А0 подать сигналы6 Q3, Q2. Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Составим схему для изучения ИС ADG508. По 8 варианту будем подавать комбинацию сигналов 1010 1001:

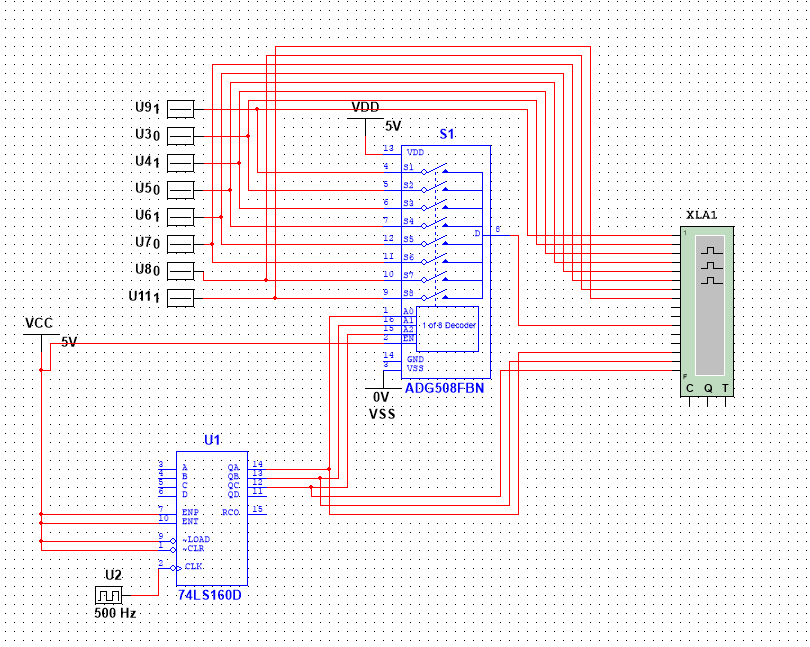


рис. 1 Схема для изучения ИС ADG508

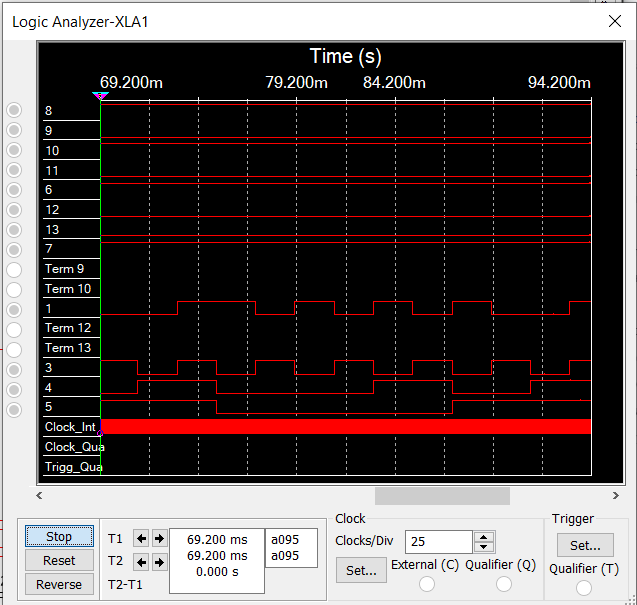


рис. 2 Временная диаграмма схемы на рисунке 1

Проводя анализ полученных данных, можно заметить, что на самом деле мультиплексор выполняет функцию адресного коммутатора, т.е. выполняет передачу на выход того информационного сигнала, адрес которого установлен на адресных входах.

# Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0 …D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Мultisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

Составим схему для изучения ИС ADG508 в качестве коммутатора аналоговых сигналов:

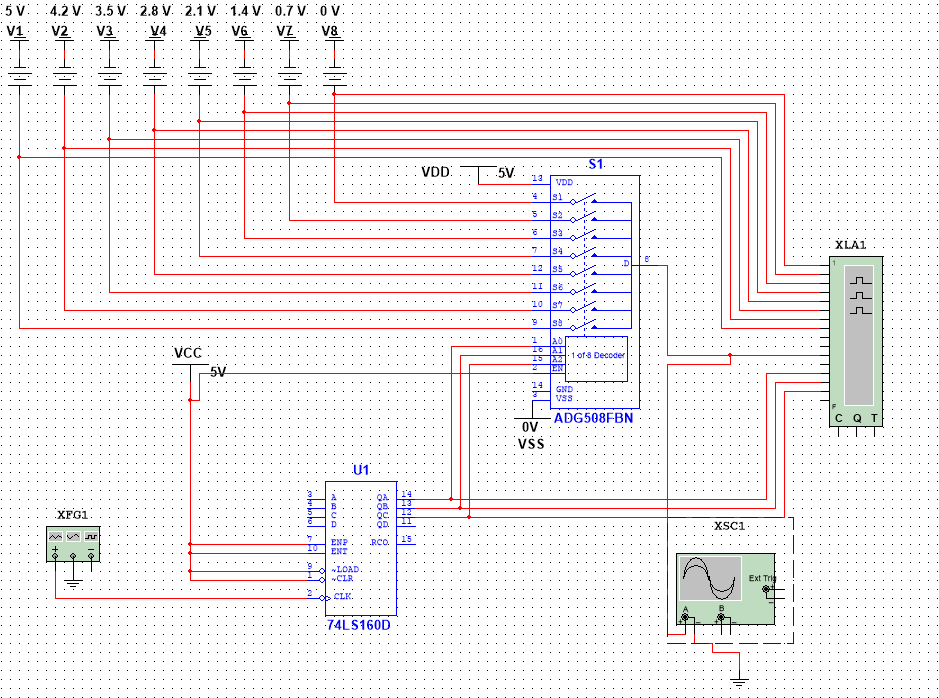


рис. 3 Схема для изучения ИС ADG508 в качестве коммутатора аналоговых сигналов

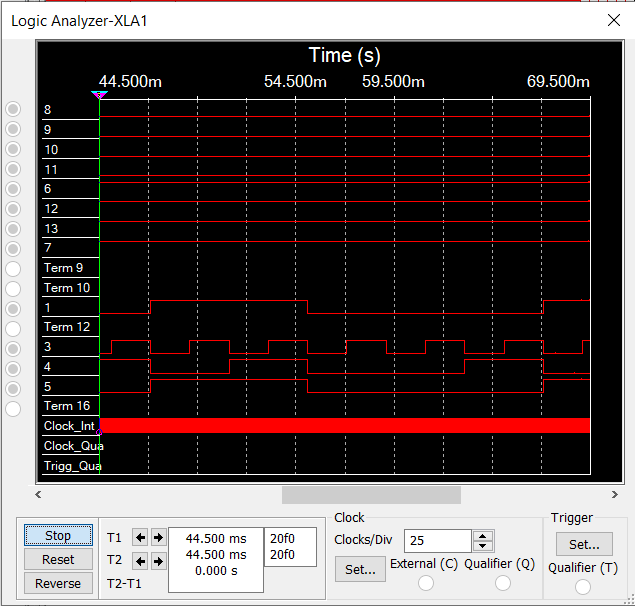


рис. 4 Временная диаграмма схемы на рисунке 4

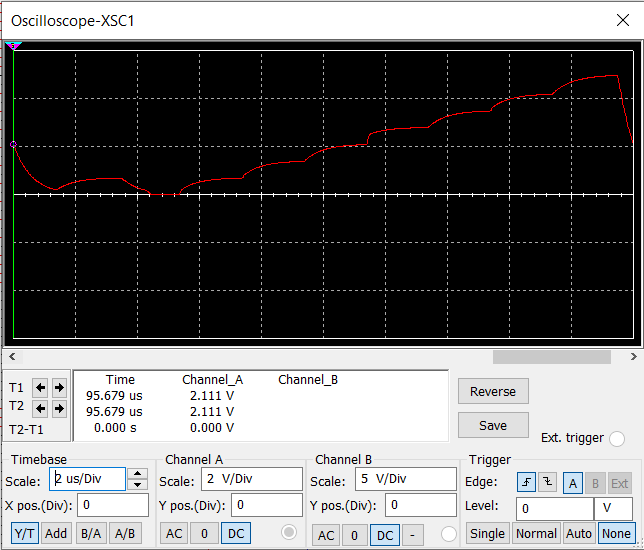


рис. 5 Анализ с осциллографа

Исходя из приведенных выше данных можно сделать вывод о том, что на самом деле выходной сигнал имеет не дискретную природу, а представляет собой некую функциональную зависимость.



Следует отметить, что ввиду переходных процессов внутри мультиплексора, выходной сигнал получается с задержкой.



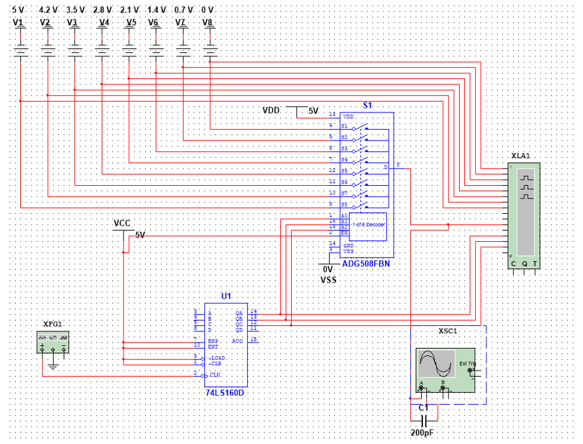


рис. 6 Схема для изучения ИС ADG508 в качестве коммутатора аналоговых сигналов с добавленной катушкой индуктивности

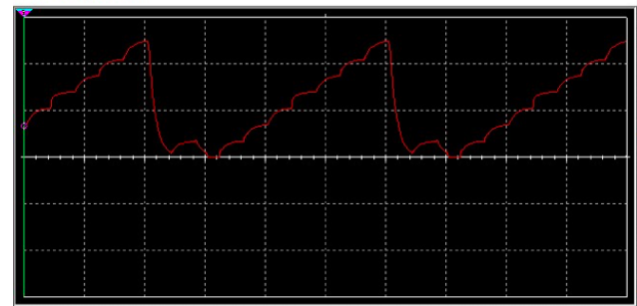


рис. 7 Данные с осциллографа

# Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 8: (1110 1000 0101 1011)

| x4 | x3 | x2 | x1 | f | Примечание |
| --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 | D0 = 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | D1 = ~x1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | D2 = ~x1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | D3 = 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | D4 = x1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | D5 = x1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | D6 = ~x1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | D7 = 1 |
| 1 | 1 | 1 | 1 | 1 |

Таблица 1

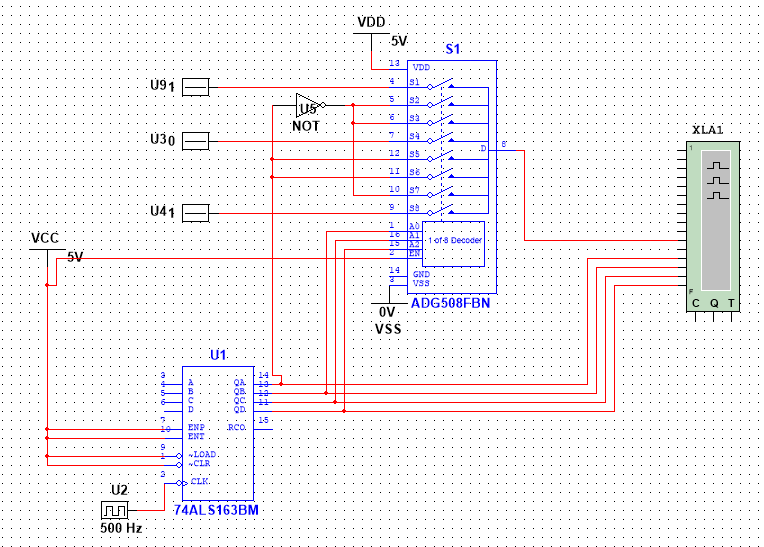


рис. 8 Схема

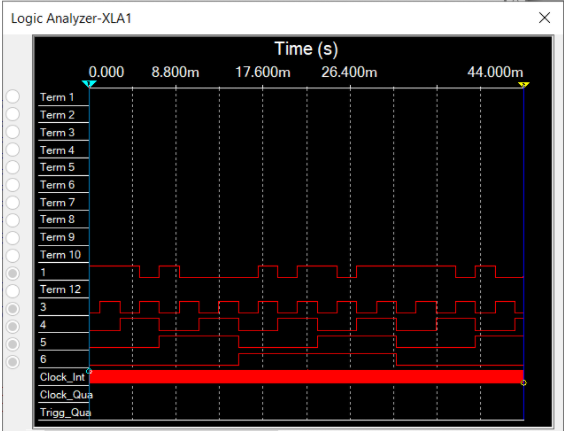


рис. 9 Временная диаграмма для схемы на рисунке 8

Исходя из данных полученных с логического анализатора, построенная схема работает верно.

# Наращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4.

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 …D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.

Вариант 8: (1110 1000 0101 1011)

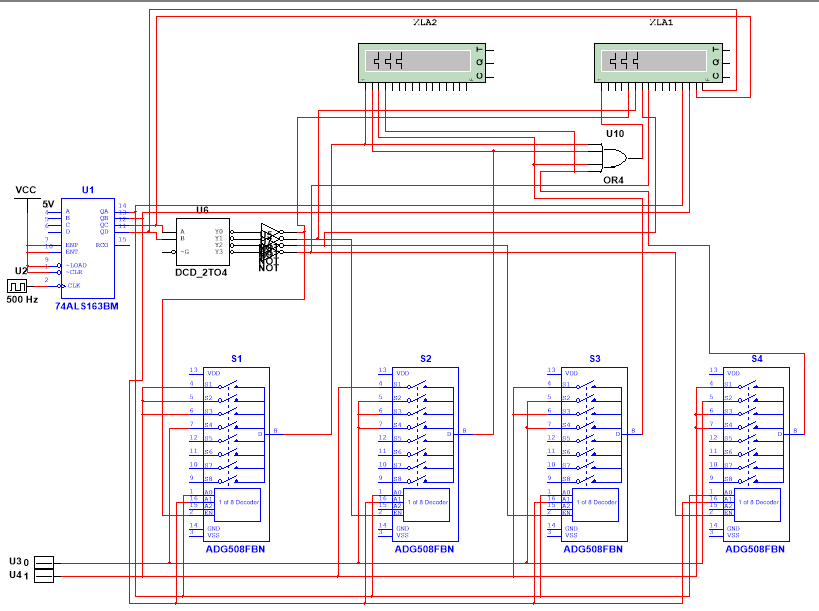


рис. 10 Схема мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4

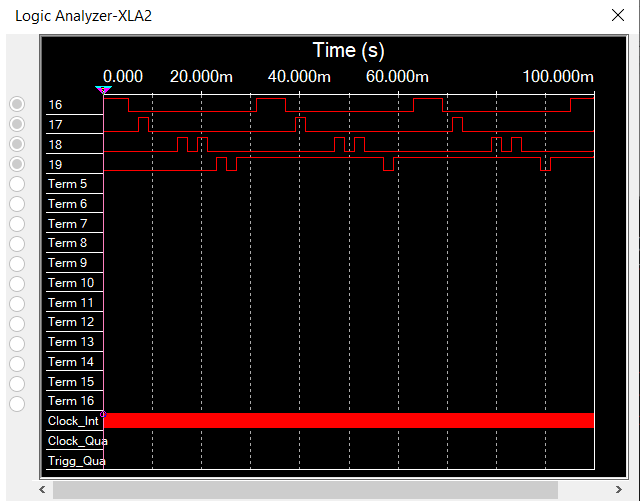


рис. 11 Временная диаграмма для схемы на рисунке 10

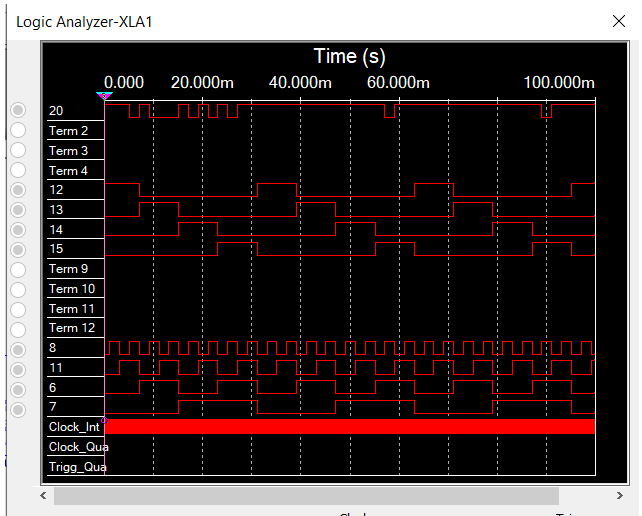
**

рис. 12 Временная диаграмма для схемы на рисунке 10

Исходя из данных логического анализатора, наша построенная схема работает верно, соответственно, можно сделать вывод о том, что построение было выполнено верно.

Таким образом, используя данный метод наращивания, можно реализовать мультиплексор любой сложности.

# Вывод

В результате выполнения данной лабораторной работы были экспериментально исследованы мультиплексоры, а также изучены их принципы построения и практического применения.